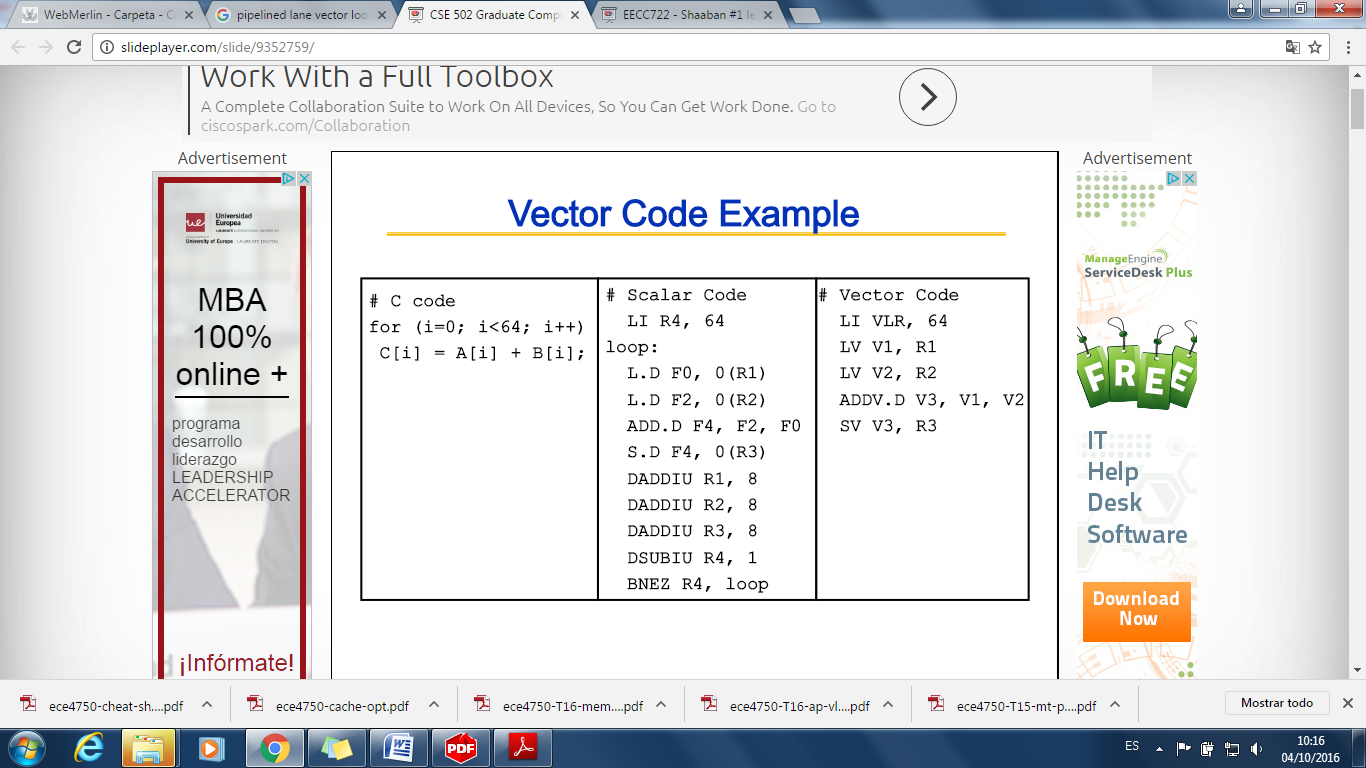
**SIMD:**

|  |  |
| --- | --- |
| **Arquitectura escalar (SISD)** | **Arquitectura vectorial (SIMD)** |
| No tiene registros vectoriales (solo tiene registros escalares (o de propósito general)) | Sí tiene registros vectoriales (también tiene registros escalares) |
| No tienen instrucciones vectoriales  **Ejemplo:** Y=a**·**X+Y // X e Y son vectores de 64 números en puto flotante doble precisión.    Se ejecutarían cerca de 600 instrucciones | Sí tienen instrucciones vectoriales  **Ejemplo:** Y=a**·**X+Y // X e Y son vectores de 64 números en puto flotante doble precisión.    Se ejecutan 6 instrucciones |
| No hay paralelismo a nivel de datos | Sí hay paralelismo a nivel de datos  - Extensiones SIMD (ALU particionada o subword)  - Procesadores vectoriales (unidad funcional pipelined (lane)) |



**EXTENSIONES SIMD**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Año/computador** | **Ext. SIMD** | **Nº inst. añad.** | **Nº reg. Vect.** | **P. Subword** | | | | |
| **Nº op** | | **Bit dato** | | **Bit reg.** |
| 1996  Pentium MMX | MMX | 57 | 8  MM0 – MM7 | 8 | 8 | | 64 | |
| 4 | 16 | | 64 | |
| 2 | 32 | | 64 | |
| 1999  Pentium III | SSE | 70 | 8  XMM0 – XMM7 | 4 | 32 | | 128 | |
| 2001  Pentium IV | SSE2 | 144 | 8  XMM0 – XMM7 | 16 | 8 | | 128 | |
| 8 | 16 | | 128 | |
| 4 | 32 | | 128 | |
| 2 | 64 | | 128 | |
| 2003  Opteron | AMD64 | Base | 16  XMM0 – XMM15 | 4 | 32 | | 128 | |
| 2 | 64 | | 128 | |
| 2004  Pentium IV Prescott | EM64T | Base | 16  XMM0 – XMM15 | 4 | 32 | | 128 (1) | |
| 2 | 64 | | 128 (2) | |
| 2011  Sandy Bridge | AVX | 128 | 16  YMM0 – YMM15 | 8 | 64 | | 256 (1) | |
| 4 | 64 | | 256 (2) | |

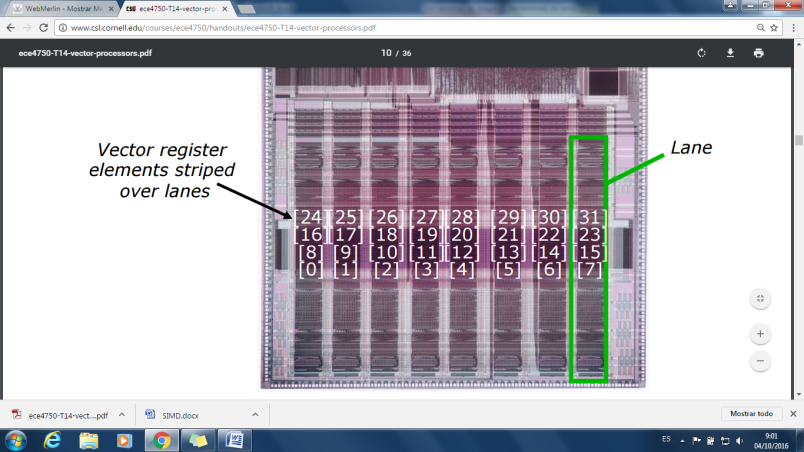
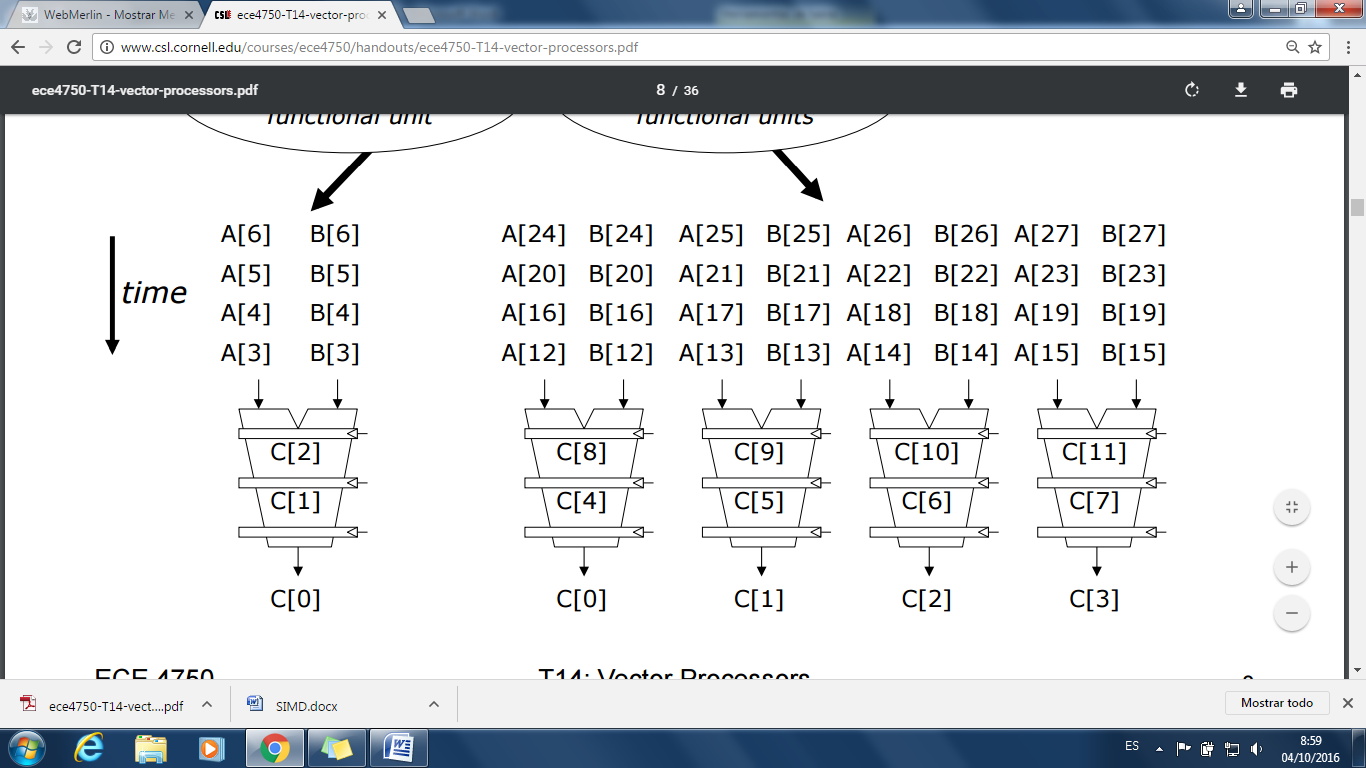
(1). VADDPS: Suma vectorial de simple precisión.

(2). VADDPD: Suma vectorial de doble precisión.

**SIMD VS VECTORIAL**

|  |  |
| --- | --- |
| **Procesadores con extensiones SIMD** | **Procesadores vectoriales** |
| Registros vectoriales | |
| Instrucciones vectoriales | |
| ALU particionada o paralelismo subword | Unidad funcional (pipelined)  Resultado de imagen |
| OPcode (código de la instrucción) |  |

**Estructura del procesador vectorial:**



**PARALELISMO SUBWORD**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 128 b (**double quad word**) | | | | | | | | | | | | | | | |
| 64 b (**quad word**) | | | | | | | | 64 b | | | | | | | |
| 32 b (**double word**) | | | | 32 b | | | | 32 b | | | | 32 b | | | |
| 16 b (**word**) | | 16 b | | 16 b | | 116 b | | 16 b | | 16 b | | 16 b | | 16 b | |
| 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b | 8 b |